

**FITXA IDENTIFICATIVA****Dades de l'Assignatura**

Codi	34658
Nom	Organització de computadors
Cicle	Grau
Crèdits ECTS	6.0
Curs acadèmic	2023 - 2024

Titulació/titulacions

Titulació	Centre	Curs	Període
1400 - Grau Eng.Informàtica	Escola Tècnica Superior d'Enginyeria	2	Segon quadrimestre

Matèries

Titulació	Matèria	Caràcter
1400 - Grau Eng.Informàtica	6 - Ingenieria de Computadores	Obligatòria

Coordinació

Nom	Departament
ARNAU LLOMBART, VICENTE	240 - Informàtica
REAÑO GONZALEZ, CARLOS	240 - Informàtica

RESUM

L'assignatura "Organització de Computadors" és una assignatura obligatòria del segon curs del Grau en Enginyeria Informàtica. Forma part de la matèria "Enginyeria de Computadors" i té assignada una dedicació de 6 *ECTS que s'imparteixen en el segon quadrimestre del segon curs.

En aquesta assignatura es pretén que l'estudiant conega els fonaments arquitectònics dels processadors actuals, així com dels sistemes multiprocessadors tant des del punt de vista del dissenyador de processadors i sistema de memòria, com del programador. De la mateixa manera l'estudiant haurà de ser capaç d'avaluar el rendiment d'un sistema **monoprocessador** o **multiprocessador** i proposar millores, tant en l'arquitectura del sistema, com en el codi executat. Per a això se simultaneja la descripció a nivell de transferència de registres amb la descripció a nivell processador-memòria i la descripció a nivell de sistema operatiu.

Es parteix del **processador monocicle multicicle** i la introducció a la segmentació, conceptes revisats en assignatures anteriors i es profunditza en la segmentació des d'un punt de vista genèric com a primera aproximació per aprofitar el paral·lelisme a nivell d'instrucció del codi (ILP). Posteriorment es particularitza al processador MIPS. Juntament amb la segmentació es plantegen les limitacions d'aquesta i



en quins casos es planteja la detenció del *pipeline* (riscos). Es categoritzen els tipus de risc i es plantegen estratègies per combatre'ls. Finalment s'estén el problema de les interrupcions als processadors segmentats.

Posteriorment s'introdueixen els processadors **Superescalars** com una forma de superar la limitació d'1 instrucció per cycle de les màquines segmentades. Es planteja una arquitectura genèrica i s'observa els avantatges d'aquesta aproximació per aprofitar al màxim el ILP. Anàlogament es plantegen els problemes que apareixen amb aquest tipus d'arquitectures (nous tipus de risc), proposant estratègies per resoldre'ls: algorisme de Tomasulo + buffer de renomament, buffer de reordenat i predictors de salts. Finalment es planteja el *hardware* de suport necessari per suportar l'execució de múltiples fils en un processador, avaluant els seus avantatges, desavantatges i estratègies per obtenir un màxim rendiment.

Els processadors **VLIW** s'introdueixen com a paradigma de com obtenir prestacions amb baix cost. En aquest tema s'introdueixen tècniques de planificació *software* de bloc bàsic (desenrotllat de bucles i segmentació *software*) juntament amb altres tècniques de planificació de bloc estès. Finalment d'introdueixen les instruccions amb predicat com una forma alternativa de reduir les instruccions de salt condicional.

Analitzar el rendiment d'un **sistema paral·lel** no és tan senzill com en un sistema monoprocesador, on la velocitat d'execució dels programes és la principal mesura. Haurem d'introduir conceptes de mesura com la **productivitat**. I també veurem que no tots els sistemes poden ser avaluats de la mateixa manera, doncs l'objectiu final d'una aplicació paral·lela no sempre és acabar al més aviat possible. La precisió en el resultat i la possibilitat d'analitzar problemes molt complexos poden ser altres factors a tenir en compte en el rendiment d'aquests sistemes.

La part fonamental d'un **multiprocessador** és com es dissenya el sistema de memòria. Hem de garantir que l'accés a cadascun dels mòduls de memòria es realitzi de forma coherent i consistent. Tots els processadors han de veure la memòria de manera que quan llegeixin d'una determinada adreça, sempre obtinguin l'últim valor escrit. Analitzarem els protocols més utilitzats en els multiprocessadors actuals per al disseny del sistema de memòria, tant els basats en sondeig com els basats en directori.

Una altra part fonamental per a aconseguir que sobre un sistema multiprocessador una aplicació paral·lela, formada per múltiples processos executant-se en paral·lel, funcione correctament són els **esdeveniments de sincronització**. Aquests permeten que els processos es comuniquen entre si intercanviant valors i també es puguen sincronitzar per a executar correctament els algorismes paral·lels que executarem sobre el multiprocessador.

Les **pràctiques** se centren en l'obtenció del màxim rendiment en l'execució de codi, tant en sistemes monoprocesador com en sistemes multiprocessador. Per a açò s'haurà de tenir un profund coneixement de l'arquitectura del sistema de computació per a aprofitar al màxim les seues característiques.



CONEIXEMENTS PREVIS

Relació amb altres assignatures de la mateixa titulació

No heu especificat les restriccions de matrícula amb altres assignatures del pla d'estudis.

Altres tipus de requisits

Per a aquesta assignatura de segon curs és recomanable haver cursat la matèria d'Estructura de Computadors i dominar els conceptes introduïts en la matèria d'Informàtica. També és recomanable tenir una certa destresa en l'escriptura de programes, tant en llenguatges d'alt nivell com en assemblador.

COMPETÈNCIES (RD 1393/2007) // RESULTATS DE L'APRENTATGE (RD 822/2021)

1400 - Grau Eng.Informàtica

- G1 - Capacitat per concebre, redactar, organitzar, planificar, desenvolupar i signar projectes en l'àmbit de l'enginyeria en informàtica que tinguen per objecte la concepció, el desenvolupament o l'explotació de sistemes, serveis i aplicacions informàtiques.
- G4 - Capacitat per definir, avaluar i seleccionar plataformes maquinari i programari per al desenvolupament i l'execució de sistemes, serveis i aplicacions informàtiques, d'acord amb els coneixements adquirits segons les competències específiques establertes.
- G6 - Capacitat per concebre i desenvolupar sistemes o arquitectures informàtiques centralitzades o distribuïdes integrant maquinari, programari i xarxes d'acord amb els coneixements adquirits segons les competències específiques establertes.
- G8 - Coneixement de les matèries bàsiques i les tecnologies que capaciten per a l'aprenentatge i el desenvolupament de nous mètodes i tecnologies, així com les que les doten d'una gran versatilitat per adaptar-se a noves situacions.
- G10 - Coneixements per a la realització de mesures, càlculs, valoracions, taxacions, peritatges, estudis, informes, planificació de tasques i altres treballs anàlegs d'informàtica, d'acord amb els coneixements adquirits segons les competències específiques establertes.
- R1 - Capacitat per dissenyar, desenvolupar, seleccionar i avaluar aplicacions i sistemes informàtics, assegurant-ne la fiabilitat, la seguretat i la qualitat, d'acord amb principis ètics i amb la legislació i la normativa vigents.
- R6 - Coneixement i aplicació dels procediments algorísmics bàsics de les tecnologies informàtiques per dissenyar solucions a problemes, analitzant la idoneïtat i complexitat dels algorismes proposats.
- R7 - Coneixement, disseny i utilització de forma eficient dels tipus i de les estructures de dades més adients per a la resolució d'un problema.



- R9 - Capacitat per conèixer, comprendre i avaluar l'estructura i l'arquitectura dels ordinadors, així com els components bàsics que els conformen.
- R14 - Coneixement i aplicació dels principis fonamentals i de les tècniques bàsiques de la programació paral·lela, concurrent, distribuïda i de temps real.
- IC2 - Capacitat per analitzar, avaluar i seleccionar les plataformes maquinari i programari més adequades per al suport d'aplicacions encastades i de temps real.

RESULTATS D'APRENTATGE (RD 1393/2007) // SENSE CONTINGUT (RD 822/2021)

1 Valorar els diferents formats d'instruccions en funció del nombre d'adreces i la longitud, fixa o variable, dels seus formats.

5 Capacitat per a tenir en compte la jerarquia de memòria per a reduir la latència efectiva de la memòria.

6 Valorar el paper de la cache i la memòria virtual en el sistema de memòria.

7 Usar adequadament les interrupcions i operacions d'E/S.

12 Comprendre les bases del paral·lisme a nivell d'instrucció (ILP) utilitzant segmentació i els riscos que poden aparèixer.

13 Dissenyar programes simples que aprofiten la segmentació dels processadors.

14 Caracteritzar els costos i beneficis de les diferents opcions de millora introduïts en el processador.

15 Avaluar el rendiment d'un computador en funció dels seus components (Processador, Memòria, I/S, etc.).

16 Descriure les arquitectures Superescalars i els seus avantatges.

17 Valorar el concepte de predicció de salt i la seua utilitat.

18 Valorar l'execució especulativa i identificar les condicions que la justifiquen.

19 Valorar els avantatges del *multithreading* i els factors que limiten les seues prestacions.

20 Capacitat per a calcular la rellevància de la escalabilitat en les prestacions d'un sistema.

21 Valorar els avantatges del processament paral·lel, establint mètriques de comparació.

22 Valorar l'impacte en el rendiment de la xarxa d'interconnexió d'un sistema paral·lel segons els seus diferents dissenys.

23 Utilitzar amb eficàcia els multiprocessadors atenent a l'organització de la memòria.

24 Valorar els avantatges i inconvenients de les diferents arquitectures paral·leles.

25 Dissenyar programes simples sobre un sistema amb diversos elements de processament.

26 Treballar en equip per a realitzar els dissenys i configuracions necessàries, repartint la càrrega de treball per a afrontar problemes complexos.

Com a complement als resultats anteriors, aquesta assignatura també permet adquirir les següents destreses i habilitats socials:

- Comprendre el funcionament de la segmentació en general i dels processadors segmentats en particular i analitzar el seu rendiment.
- Dissenyar una *pipeline* segmentat senzill.
- Optimitzar codi que vaja a ser executat en un processador segmentat.
- Dissenyar la unitat de control en lleres segmentades no lineals unifuncionals i multifuncionals.
- Comprendre el funcionament dels processadors Superescalars i analitzar el seu rendiment
- Analitzar les prestacions de diversos predictors de salt.



- Comprendre les arquitectures VLIW.
- Utilitzar les tècniques de planificació programari, tant en màquines VLIW com en processadors segmentats.
- Analitzar el rendiment d'una aplicació paral·lela tenint en compte quins són els objectius del càlcul realitza: obtenir la major velocitat d'execució, o aconseguir la major precisió en la solució obtinguda en un temps determinat, o aconseguir abordar un problema amb una major complexitat.
- Comprendre el problema de l'ús compartit de la memòria per part d'un sistema multiprocessador i la problemàtica que comporta referent a la coherència de les caches.
- Comprendre el funcionament dels protocols de sondeig i analitzar el funcionament dels més utilitzats en els multiprocessadors actuals.
- Analitzar les diferències dels protocols basats en directori respecte als basats en sondeig i estudiar el seu funcionament i utilització.
- Comprendre els diversos models de coherència de memòria.
- Analitzar com es dissenyen els esdeveniments de sincronització en sistemes multiprocessador.
- Estudiar la realització de forrellats i barreres com a elements fonamentals per a la sincronització de processos.

A més dels objectius específics assenyalats amb anterioritat, durant el curs es fomentarà el desenvolupament de diverses competències genèriques, entre les quals cal destacar:

- Capacitat d'anàlisi i de síntesi.
- Capacitat per a argumentar des de criteris racionals i lògics.
- Capacitat per a expressar-se de forma correcta i organitzada.
- Capacitat per al treball personal.

DESCRIPCIÓ DE CONTINGUTS

1. Sementació

Paral·lisme a nivell d'instrucció (*ILP) i segmentació. Concepte.

Prestacions ideals i reals.

DLX segmentat.

Riscos de dades, control i estructurals.

Interrupcions en processadors segmentats.

Programació de màquines segmentades.

Teoria: 6. Problemes: 2. Laboratori: 5. Hores no presencials: 8+5 (Teoria + Laboratori).

2. Processadors Superescalars

Arquitectura Superescalar.

Buffer de renomament.

Algorisme de Tomasulo.

Manteniment de la consistència: ROB.

Interrupcions.

Predicció de Salts.



Multithreading.

Teoria: 6. Problemes: 3. Laboratori: 5. Hores no presencials: 7+5.

3. Processadors VLIW

Arquitectures VLIW.

Segmentació software, Desenrotllament de bucles.

Planificació de traces.

Instruccions amb predicat.

Teoria: 3. Problemes: 2. Laboratori: 6. Hores no presencials: 6+6.

4. Rendiment en sistemes paral·lels

Descripció de contenidors (Valencià):

Magnituds i mesures.

Models del rendiment.

Teoria: 5. Problemes: 1. Laboratori: 1,5. Hores no presencials: 4+1,5.

5. Coherència i consistència en multiprocessadors

Coherència de cache.

Protocols de sondeig i basats en directori.

Models de consistència i sincronització.

Teoria: 6. Problemes: 2. Laboratori: 7,5. Hores no presencials: 9+7,5.

VOLUM DE TREBALL

ACTIVITAT	Hores	% Presencial
Classes de teoria	30,00	100
Pràctiques en laboratori	20,00	100
Pràctiques en aula	10,00	100
Elaboració de treballs individuals	12,00	0
Estudi i treball autònom	20,00	0
Preparació d'activitats d'avaluació	24,00	0
Preparació de classes de teoria	7,00	0
Preparació de classes pràctiques i de problemes	27,00	0
TOTAL	150,00	



METODOLOGIA DOCENT

Activitats teòriques.

Descripció: En les classes teòriques es desenvoluparan els temes proporcionant una visió global i integradora, analitzant amb major detall els aspectes clau i de major complexitat, fomentant, en tot moment, la participació de l'alumnat.

Càrrega de treball per a l'alumnat sobre el total de càrrega de la matèria: 19%

Activitats pràctiques.

Descripció: Complementen les activitats teòriques amb l'objectiu d'aplicar els conceptes bàsics i ampliar-los amb el coneixement i l'experiència que vagen adquirint durant la realització dels treballs proposats.

Comprenen els següents tipus d'activitats presencials:

- o Classes de problemes i qüestions en aula
- o Sessions de discussió i resolució de problemes i exercicis prèviament treballats per l'alumnat
- o Pràctiques de laboratori
- o Presentacions orals
- o Tutories programades (individualitzades o en grup) Realització de qüestionaris individuals d'avaluació en l'aula amb la presència del professorat.

Càrrega de treball per a l'alumnat sobre el total de càrrega de la matèria: 21%

Treball personal de l'alumnat.

Descripció: Realització (fóra de l'aula) de treballs monogràfics, recerca bibliogràfica dirigida, qüestions i problemes, així com la preparació de classes i exàmens (estudi). Aquesta tasca es realitzarà de manera individual i intenta potenciar el treball autònom.

Càrrega de treball per a l'alumnat sobre el total de càrrega de la matèria: 45%

Treball en petits grups.

Descripció: Realització, per part de petits grups d'estudiants (2-4) de treballs, qüestions, problemes fóra de l'aula. Aquesta tasca complementa el treball individual i fomenta la capacitat d'integració en grups de treball.

Càrrega de treball per a l'alumnat sobre el total de càrrega de la matèria: 15%

S'utilitzarà la plataforma d'e-learning (Aula Virtual) de la Universitat de València com a suport de comunicació amb l'alumnat. A través d'ella es tindrà accés al material didàctic utilitzat en classe, així com els problemes i exercicis a resoldre.

AVALUACIÓ

• **Avaluació contínua**, basada en la participació i grau d'implicació en el procés d'ensenyament-aprenentatge, tenint en compte l'assistència regular a les activitats presencials previstes i la resolució de qüestions i problemes proposats en classe. Part de l'avaluació dels problemes o treballs es realitza en horari de tutories de forma individual, amb la qual cosa és obligatori assistir a les tutories per a poder ser avaluat. Es realitzaran 2 exàmens de 2 hores per completar aquesta avaluació. Aquesta part tindrà un pes del 50% sobre la nota final de la primera convocatòria.



• **Prova objectiva individual**, consistent en 1 examen final, que es realitzarà al final del quadrimestre . Aquesta part tindrà un pes del 30% sobre la nota final. Si en l'avaluació contínua es supera amb una nota major o igual a 5 no se realitzarà l'examen final, sent el pes de l'avaluació contínua del 80%.

• **Avaluació de les activitats pràctiques** a partir de la consecució d'objectius en les sessions de laboratori. En cada laboratori es lliurarà un butlletí de preguntes que tindrà una doble finalitat, d'una banda guiar el treball a realitzar i d'altra banda avaluar com s'han aconseguit els objectius proposats en cada sessió de laboratori. Aquesta part tindrà un pes del 20 % sobre la nota final.

En la segona convocatòria els estudiants hauran de presentar-se a l'examen de la segona convocatòria. L'examen constarà d'una sèrie de qüestions teòriques en la qual l'estudiant haurà de demostrar el seu coneixement dels conceptes i relacions propis del temari, com d'una altra sèrie de qüestions que avaluaran la part pràctica de l'assignatura en la qual l'estudiant haurà de demostrar la seua aptitud i la seua capacitat per a relacionar els coneixements adquirits en l'assignatura per a l'anàlisi de problemes i casos pràctics en l'àmbit de la matèria. L'examen comptarà un 80% de la nota. Les pràctiques el 10% i l'avaluació contínua el 10%.

En qualsevol cas, l'avaluació de l'assignatura es farà d'acord amb el Reglament d'avaluació i qualificació de la Universitat de València per a títols de grau i de màster, aprovat en la sessió del Consell de Govern de 30 de maig de 2017. (ACGUV 108/2017)

REFERÈNCIES

Bàsiques

- Ortega J.; Anguita M.; Prieto A, Arquitectura de Computadores. Ed. Thomson, 2005.
- Hennessy J. L.; Patterson D. A., Computer Architecture a Quantitative Approach. 4^a Edition. Morgan Kaufmann Publishers, 2012. <http://links.uv.es/IFDrw2x>

Complementàries

- David E. Culler; Jaswinder Pal Singh., Parallel Computer Architecture: a Hardware/Software Approach. Ed. Morgan Kaufmann Publishers. 1999.
- Sima, D.; Fountain, T.; Kacsur, P, Advanced Computer Architecture. Addison-Wesley, 1998
- K. Hwang. Advanced Computer Architecture. Parallelism, Scalability, Programmability, McGraw Hill, 1993.